



UNIONE EUROPEA

FONDI STRUTTURALI EUROPEI **pon** 2014-2020



MIUR

Ministero dell'Istruzione, dell'Università e della Ricerca
 Dipartimento per la Programmazione
 Direzione Generale per interventi in materia di edilizia scolastica, per la gestione dei fondi strutturali per l'istruzione e per l'innovazione digitale
 Ufficio IV

PER LA SCUOLA - COMPETENZE E AMBIENTI PER L'APPRENDIMENTO (FSE-FESR)

PROGRAMMAZIONE PREVENTIVA (con Insegnante Tecnico Pratico)

Codice Mod. **RQ 10.3** Pag. 1 / 2

A.S.	2019/2020	DOCENTI	
DISCIPLINA	TECNOLOGIE E PROGETTAZIONE DI SISTEMI INFORMATICI E DI TELECOMUNICAZIONI		
CLASSE	3	INDIRIZZO	INFORMATICA E TELECOMUNICAZIONI ART. TELECOMUNICAZIONI

COMPETENZE

SCEGLIERE DISPOSITIVI E STRUMENTI IN BASE ALLE LORO CARATTERISTICHE FUNZIONALI
 REDIGERE RELAZIONI TECNICHE E DOCUMENTARE LE ATTIVITÀ INDIVIDUALI E DI GRUPPO RELATIVE A SITUAZIONI PROFESSIONALI
 GESTIRE PROGETTI SECONDO LE PROCEDURE E GLI STANDARD PREVISTI DAI SISTEMI AZIENDALI DI GESTIONE DELLA QUALITÀ E DELLA SICUREZZA.

N°	Titolo del modulo	Contenuti	Attività di laboratorio	Obiettivi disciplinari	Periodo
1	DISPOSITIVI DIGITALI	Proprietà e teoremi dell'algebra di Boole PORTE LOGICHE FUNZIONE DI COMMUTAZIONE E FORME CANONICHE MINIMIZZAZIONE DI UNA FUNZIONE DI COMMUTAZIONE ANALISI E SINTESI DI UN CIRCUITO COMBINATORIO	ANALISI DEL FUNZIONAMENTO DELLE PORTE LOGICHE; SINTESI DI UN SEMPLICE CIRCUITO COMBINATORIO	Conoscere la funzione delle porte logiche SAPER SINTETIZZARE UN CIRCUITO COMBINATORIO	SETTEMBRE OTTOBRE

2	VHDL	<p>Entità ed Architettura IL TIPO BIT, BIT_VECTOR, STD_LOGIC STD_LOGIC_VECTOR TIPO ENUMERATIVO MODELLI DESCRITTIVI "BEHAVIORAL", "DATA FLOW", "STRUCTURAL" ASSEGNAZIONE CONDIZIONALE STATEMENT SEQUENZIALI MULTIPLEXER E DEMULTIPLEXER IN VHDL ENCODER E DECODER IN VHDL</p>	<p>SIMULAZIONE E SINTESI DELLE PORTE LOGICHE SIMULAZIONE E SINTESI DI UN HALF-ADDER, FULL-ADDER E SOMMATORE BINARIO SIMULAZIONE E SINTESI DI UN HALF-SUBTRACTOR, FULL-SUBTRACTOR E SOTTRATTORE BINARIO SIMULAZIONE E SINTESI DI UN DECODER BDC-7SEGMENTI</p>	<p>Conoscere la sintassi del linguaggio VHDL SAPER DESCRIVERE, SIMULARE E SINTETIZZARE UN CIRCUITO COMBINATORIO TRAMITE AMBIENTE DI SVILUPPO ISE</p>	<p>NOVEMBRE DICEMBRE GENNAIO</p>
3	CIRCUITI SEQUENZIALI IN VHDL	<p>Circuiti asincroni e sincroni DESCRIZIONE DEI FLIP-FLOP IN VHDL CONTATORI ASINCRONI E SINCRONI IN VHDL REGISTRI</p>	<p>Sintesi di Flip-Flop SINTESI DI CONTATORI SINCRONI</p>	<p>CONOSCERE LA DIFFERENZA TRA UN CIRCUITO SINCRONO E ASINCRONO CONOSCERE LA DIFFERENZA TRA UN CIRCUITO SEQUENZIALE E COMBINATORIO</p>	<p>Febbraio Marzo</p>
4	AUTOMI A STATI FINITI	<p>MODELLO DI MOORE E DI MEALY DESCRIZIONE DI UN AUTOMA MEDIANTE DIAGRAMMA DEGLI STATI E TABELLE DEGLI STATI E DELLE USCITE AUTOMI RICONOSCITORI DI SEQUENZE DESCRIZIONE IN VHDL DI UN AUTOMA DI TIPO MOORE E DI TIPO MEALY</p>	<p>Sintesi di un automa riconoscitore di sequenze</p>	<p>CONOSCERE LA DIFFERENZA TRA AUTOMA DI MEALY E MOORE SAPER ANALIZZARE E/O CREARE LA STRUTTURA DI UN AUTOMA</p>	<p>APRILE MAGGIO</p>